

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163826

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H03K 5/08
H03K 3/353
H03K 19/0175
H03K 19/0948

(21)Application number : 08-322738

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing : 03.12.1996

(72)Inventor : INATOMI KENICHI

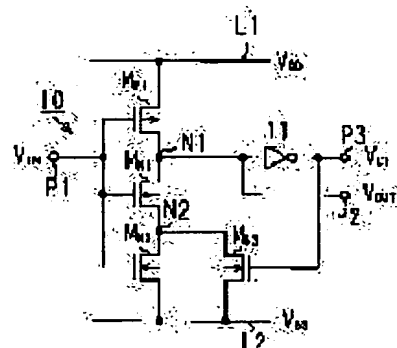
MATSUMOTO TAKASHI

(54) DRIVING METHOD OF CMOS INVERTER AND SCHMITT TRIGGER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Schmitt trigger circuit which reduces low voltage consumption.

SOLUTION: A signal input voltage V_{IN} is applied to P- and NMOS transistors MP1 and MN1 which constitute a CMOS inverter 10. Also, the inverter 10 outputs a signal output voltage V_{OUT} . The drain of a 3rd NMOS transistor MN3 is connected to a node N2 which is between the source of the transistor MN1 and the drain of a 2nd NMOS transistor MN2. A control voltage V_{CT} sent from an inverter 11 is applied to the gate of the transistor MN3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-163826

(43)公開日 平成10年(1998) 6月19日

(51)Int.Cl.⁹

識別記号

F I

H 0 3 K 5/08
3/353
19/0175
19/0948

H 0 3 K 5/08
3/353
19/00
19/094

J
E
1 0 1 F
B

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21)出願番号 特願平8-322738

(22)出願日 平成8年(1996)12月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 稲富 研一

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72)発明者 松本 敬史

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

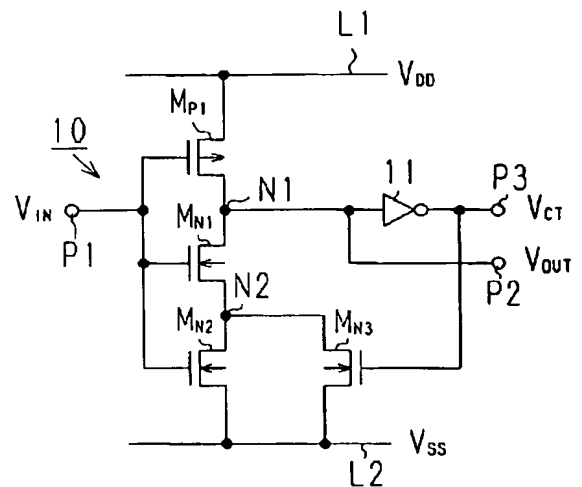
(54)【発明の名称】 CMOSインバータの駆動方法及びシュミットトリガ回路

(57)【要約】

【課題】低消費電力化を図ることができるシュミットトリガ回路を提供する。

【解決手段】CMOSインバータ10を構成するP及びNMOSトランジスタMP1, MN1のゲートには信号入力電圧VINが印加される。又、CMOSインバータ10は信号出力電圧VOUTを出力する。NMOSトランジスタMN1のソースと第2のNMOSトランジスタMN2のドレインとの間にあるノードN2には、第3のNMOSトランジスタMN3のドレインが接続されている。第3のNMOSトランジスタMN3のゲートには、インバータ11からの制御電圧VCTが印加される。

第1実施形態のシュミットトリガ回路の回路図



【特許請求の範囲】

【請求項1】 ソースに高電位の電圧が印加されるPチャネルMOSトランジスタとソースに低電位の電圧が印加されるNチャネルMOSトランジスタとからなるCMOSインバータの駆動方法であって、
前記CMOSインバータを構成する少なくともいずれか一方のMOSトランジスタのソースには同じチャネルの第2のMOSトランジスタを接続するとともに、前記第2のMOSトランジスタに対して同じチャネルの第3のMOSトランジスタを並列に接続し、
前記いずれか一方のMOSトランジスタのソースに前記第2のMOSトランジスタを介して前記電圧を印加し、
前記第2のMOSトランジスタのゲートに前記CMOSインバータの入力端子に入力される信号入力電圧を印加し、
前記第3のMOSトランジスタのゲートに前記CMOSインバータの信号出力電圧とは相補信号となる制御電圧を印加するようしたことを特徴とするCMOSインバータの駆動方法。

【請求項2】 ソースに高電位の電圧が印加されるPチャネルMOSトランジスタとソースに低電位の電圧が印加されるNチャネルMOSトランジスタとからなるCMOSインバータの駆動方法であって、
前記CMOSインバータを構成する少なくともいずれか一方のMOSトランジスタのソースには同じチャネルの第2のMOSトランジスタを接続するとともに、前記第2のMOSトランジスタに対して同じチャネルの第3のMOSトランジスタを並列に接続し、
前記いずれか一方のMOSトランジスタのソースに前記第2のMOSトランジスタを介して前記電圧を印加し、
前記第2のMOSトランジスタのゲートに前記CMOSインバータの入力端子に入力される信号入力電圧を印加し、
前記第3のMOSトランジスタのゲートに前記CMOSインバータの信号出力電圧を入力する第2のインバータの出力電圧を印加するようしたことを特徴とするCMOSインバータの駆動方法。

【請求項3】 ソースに高電位の電圧が印加されるPチャネルMOSトランジスタとソースに低電位の電圧が印加されるNチャネルMOSトランジスタとで構成されたCMOSインバータの出力端子に、第2のインバータを接続するとともに、前記CMOSインバータを構成する少なくともいずれか一方のMOSトランジスタのソースには同じチャネルの第2のMOSトランジスタを接続し、その第2のMOSトランジスタを介して前記電圧が印加されるようにするとともに、前記第2のMOSトランジスタに対して同じチャネルの第3のMOSトランジスタを並列に接続し、前記第2のMOSトランジスタのゲートは前記CMOSインバータの入力端子に接続し、前記第3のMOSトランジスタのゲートは前記第2のインバ

ータの出力端子に接続したことを特徴とするシュミットトリガ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はCMOSインバータの駆動方法及びシュミットトリガ回路に係り、詳しくは消費電力化を図ったヒステリシス特性を有するCMOSインバータの駆動方法及びそのCMOSインバータにて構成されるシュミットトリガ回路に関するものである。

【0002】 近年、携帯電話、ノート型パソコン、MDプレイヤー、CDプレイヤー等のポータブル機器においては、バッテリー電源の長寿命化が求められている。そのため、各電子機器に搭載される半導体集積回路装置の低消費電流化が図られ、その一つの対策として該半導体集積回路装置を構成するトランジスタにCMOSインバータを採用し、そのCMOSインバータにて例えば入力回路、出力回路等の各種CMOS回路を形成している。しかしながら、半導体集積回路装置の高集積化に伴い、これらCMOS回路の数も増大し、これらCMOS回路自体のさらなる低消費電流化が求められている。

【0003】

【従来の技術】 図7は、従来の半導体チップに形成されたシュミットトリガ回路を示す。図7において、PチャネルMOSトランジスタ（以下、PMOSトランジスタという）51とNチャネルMOSトランジスタ（以下、NMOSトランジスタという）52とからなるCMOSインバータ50は、そのPMOSトランジスタ51のソースが高電圧VDDのプラス電源配線L1に接続されている。又、NMOSトランジスタ52のソースは、第2のNMOSトランジスタ53を介して低電圧（0ボルト）VSSのグランド電源配線L2に接続されている。そして、これら各MOSトランジスタ51～53のゲートは、入力端子P1に接続され、信号入力電圧VINが印加される。

【0004】 又、CMOSインバータ50を構成するPMOSトランジスタ51とNMOSトランジスタ52のドレイン間のノードN1は、出力端子P2に接続され、信号出力電圧VOUTを出力する。前記ノードN1には、第2のPMOSトランジスタ54のゲートが接続されている。第2のPMOSトランジスタ54は、そのソースがプラス電源配線L1に接続され、ドレインが両NMOSトランジスタ52、53間のノードN2に接続されている。

【0005】 そして、信号入力電圧VINがLレベル（VSSレベル）のとき、PMOSトランジスタ51はオン、NMOSトランジスタ52はオフ、及び、第2のNMOSトランジスタ53はオフしている。従って、ノードN1のノード電圧はHレベル、即ち、信号出力電圧VOUTはHレベルとなっている。又、第2PMOSトランジスタ54はオフの状態である。

【0006】次に、信号入力電圧VINがLレベルからHレベル（VDDレベル）に変化すると、信号出力電圧VOUTはHレベルからLレベルに立ち下がる。そして、信号出力電圧VOUTがHレベルからLレベルに立ち下がり始める時の信号入力電圧VINの電圧VLHは以下になる。信号出力電圧VOUTがHレベルからLレベルに立ち下がるまで、第2のPMOSトランジスタ54がオフ状態にある。従って、電圧VLHは、第2のPMOSトランジスタ54を除く3個のMOSトランジスタ51、52、53のオン抵抗の比で決まる。

【0007】一方、信号入力電圧VINがHレベルのとき、PMOSトランジスタ51はオフ、NMOSトランジスタ52はオン、及び、第2のNMOSトランジスタ53はオンしている。従って、ノードN1のノード電圧はLレベル、即ち、信号出力電圧VOUTはLレベルである。又、第2のPMOSトランジスタ54はオンの状態である。この時、第2のPMOSトランジスタ54と第2のNMOSトランジスタ53を介して電流路が形成されている。

【0008】そして、信号入力電圧VINがHレベルからLレベルに変化すると、信号出力電圧VOUTはLレベルからHレベルに立ち上がる。信号出力電圧VOUTがLレベルからHレベルに立ち上がり始める時の信号入力電圧VINの電圧VHLは以下になる。信号出力電圧VOUTがLレベルからHレベルに立ち下がるまで、第2のPMOSトランジスタ54がオン状態にある。従って、電圧VHLは、4個全てのMOSトランジスタ51、52、53、54のオン抵抗の比で決まる。

【0009】明らかなように、電圧VLHと電圧VHLは電圧VHLを電圧VLHより低くし互いに相違させている（図8参照）。従って、該シュミットトリガ回路はヒステリシス特性を有することがわかる。

【0010】

【発明が解決しようとする課題】しかしながら、上記シュミットトリガ回路は、信号入力電圧VINがHレベルのとき、第2のNMOSトランジスタ53と第2のPMOSトランジスタ54が共にオンし、第2のPMOSトランジスタ54と第2のNMOSトランジスタ53を介して電流路が形成される。従って、信号入力電圧VINがHレベルに固定されている間、無用な消費電流が流れ続けることになり、低消費電力化を図る上で問題となっている。

【0011】本発明は上記問題点を解決するためになされたものであって、その目的は、少ない素子を追加するだけで消費電流の低減を図ることのできるCMOSインバータの駆動方法及びシュミットトリガ回路を提供することにある。

【0012】

【課題を解決するための手段】請求項1に記載の発明は、ソースに高電位の電圧が印加されるPチャネルMO

Sトランジスタとソースに低電位の電圧が印加されるNチャネルMOSトランジスタとからなるCMOSインバータの駆動方法であって、前記CMOSインバータを構成する少なくともいずれか一方のMOSトランジスタのソースには同じチャネルの第2のMOSトランジスタを接続するとともに、前記第2のMOSトランジスタに対して同じチャネルの第3のMOSトランジスタを並列に接続し、前記いずれか一方のMOSトランジスタのソースに前記第2のMOSトランジスタを介して前記電圧を印加し、前記第2のMOSトランジスタのゲートに前記CMOSインバータの入力端子に入力される信号入力電圧を印加し、前記第3のMOSトランジスタのゲートには前記CMOSインバータの信号出力電圧とは相補信号となる制御電圧を印加するようしたCMOSインバータの駆動方法である。

【0013】請求項2に記載の発明は、ソースに高電位の電圧が印加されるPチャネルMOSトランジスタとソースに低電位の電圧が印加されるNチャネルMOSトランジスタとからなるCMOSインバータの駆動方法であって、前記CMOSインバータを構成する少なくともいずれか一方のMOSトランジスタのソースには同じチャネルの第2のMOSトランジスタを接続するとともに、前記第2のMOSトランジスタに対して同じチャネルの第3のMOSトランジスタを並列に接続し、前記いずれか一方のMOSトランジスタのソースに前記第2のMOSトランジスタを介して前記電圧を印加し、前記第2のMOSトランジスタのゲートに前記CMOSインバータの入力端子に入力される信号入力電圧を印加し、前記第3のMOSトランジスタのゲートに前記CMOSインバータの信号出力電圧を入力する第2のインバータの出力電圧を印加するようしたCMOSインバータの駆動方法である。

【0014】請求項3に記載の発明は、ソースに高電位の電圧が印加されるPチャネルMOSトランジスタとソースに低電位の電圧が印加されるNチャネルMOSトランジスタとで構成されたCMOSインバータの出力端子に、第2のインバータを接続するとともに、前記CMOSインバータを構成する少なくともいずれか一方のMOSトランジスタのソースには同じチャネルの第2のMOSトランジスタを接続し、その第2のMOSトランジスタを介して前記電圧が印加されるようにするとともに、前記第2のMOSトランジスタに対して同じチャネルの第3のMOSトランジスタを並列に接続し、前記第2のMOSトランジスタのゲートは前記CMOSインバータの入力端子に接続し、前記第3のMOSトランジスタのゲートは前記第2のインバータの出力端子に接続したシュミットトリガ回路をその要旨とする。

【0015】（作用）請求項1に記載の発明によれば、例えば第2及び第3のMOSトランジスタがNチャネルMOSトランジスタの場合、信号出力電圧がHレベルか

らLレベルに立ち下がり始める時の信号入力電圧（スレッシュホールド電圧）は信号出力電圧がHレベルからLレベルに立ち下がるまで第3のMOSトランジスタがオフ状態となっているため、CMOSインバータを構成するP及びNチャネルMOSトランジスタと第2のMOSトランジスタのオン抵抗の比で決まる。又、信号出力電圧がLレベルからHレベルに立ち上がり始める時の信号入力電圧（スレッシュホールド電圧）は第3のNMOSトランジスタがオン状態になっているため、第2及び第3のNMOSトランジスタとCMOSインバータを構成するP及びNチャネルMOSトランジスタのオン抵抗の比で決まる。

【0016】さらに、信号入力電圧がLレベルのとき、制御電圧もLレベルなので第3のMOSトランジスタがオフされ、高電位から低電位に向かって流れる電流路は形成されない。又、信号入力電圧がHレベルのとき、制御電圧もHレベルで第3のMOSトランジスタがオンしていてもPチャネルMOSトランジスタがオフされ、高電位から低電位に向かって流れる電流路は形成されない。

【0017】請求項2に記載の発明によれば、例えば第2及び第3のMOSトランジスタがNチャネルMOSトランジスタの場合、信号出力電圧がHレベルからLレベルに立ち下がり始める時の信号入力電圧（スレッシュホールド電圧）は信号出力電圧がHレベルからLレベルに立ち下がるまで第2のインバータにより第3のMOSトランジスタがオフ状態となっているため、CMOSインバータを構成するP及びNチャネルMOSトランジスタと第2のMOSトランジスタのオン抵抗の比で決まる。又、信号出力電圧がLレベルからHレベルに立ち上がり始める時の信号入力電圧（スレッシュホールド電圧）は第2のインバータにより第3のNMOSトランジスタがオン状態になっているため、第2及び第3のNMOSトランジスタとCMOSインバータを構成するP及びNチャネルMOSトランジスタのオン抵抗の比で決まる。

【0018】さらに、信号入力電圧がLレベルのとき、第2のインバータからの出力電圧がLレベルになるので、第3のMOSトランジスタがオフされ高電位から低電位に向かって流れる電流路は形成されない。又、信号入力電圧がHレベルのとき、第2のインバータからの出力電圧がHレベルで第3のMOSトランジスタがオンしていてもPチャネルMOSトランジスタがオフされているので、高電位から低電位に向かって流れる電流路は形成されない。

【0019】請求項3に記載の発明によれば、例えば第2及び第3のMOSトランジスタがNチャネルMOSトランジスタの場合、信号出力電圧がHレベルからLレベルに立ち下がり始める時の信号入力電圧（スレッシュホールド電圧）は信号出力電圧がHレベルからLレベルに立ち下がるまで第2のインバータにより第3のMOSトラン

ジスタがオフ状態となっているため、CMOSインバータを構成するP及びNチャネルMOSトランジスタと第2のMOSトランジスタのオン抵抗の比で決まる。又、信号出力電圧がLレベルからHレベルに立ち上がり始める時の信号入力電圧（スレッシュホールド電圧）は第2のインバータにより第3のNMOSトランジスタがオン状態になっているため、第2及び第3のNMOSトランジスタとCMOSインバータを構成するP及びNチャネルMOSトランジスタのオン抵抗の比で決まる。

【0020】さらに、信号入力電圧がLレベルのとき、CMOSインバータの信号出力電圧がHレベルとなつて第2のインバータからの出力電圧がLレベルになるので、第3のMOSトランジスタがオフされ高電位から低電位に向かって流れる電流路は形成されない。又、信号入力電圧がHレベルのとき、CMOSインバータの信号出力電圧がLレベルとなつて第2のインバータからの出力電圧がHレベルとなり第3のMOSトランジスタがオンしていてもPチャネルMOSトランジスタがオフされているので、高電位から低電位に向かって流れる電流路は形成されない。

【0021】

【発明の実施の形態】

（第1実施形態）以下、本発明を具体化した第1実施形態を図1及び図2に基づいて説明する。

【0022】図1は半導体チップ上に形成されたMOSトランジスタにて形成されたシュミットトリガ回路を示す。図1において、CMOSインバータ10は、第1のPチャネルMOSトランジスタ（以下、第1のPMOSトランジスタという）MP1と第1のNチャネルMOSトランジスタ（以下、第1のNMOSトランジスタという）MN1とから構成されている。両トランジスタMP1、MN1のゲートは入力端子P1に接続され、信号入力電圧VINが印加される。又、両トランジスタMP1、MN1のドレインを結ぶノードN1には、出力端子P2が接続され、該出力端子P2から信号出力電圧VOUTが出力される。

【0023】第1のPMOSトランジスタMP1のソースは、高電圧VDDのプラス電源配線L1に接続されている。第1のNMOSトランジスタMN1のソースは、第2のNチャネルMOSトランジスタ（以下、第2のNMOSトランジスタという）MN2のドレインに接続されている。第2のNMOSトランジスタMN2のソースは、低電圧VSSのグランド電源配線L2に接続されている。又、第2のNMOSトランジスタMN2のゲートは、入力端子P1に接続され信号入力電圧VINが印加される。

【0024】第1のNMOSトランジスタMN1のソースと第2のNMOSトランジスタMN2のドレインとの間にあるノードN2には、第3のNチャネルMOSトランジスタ（以下、第3のNMOSトランジスタという）MN3のドレインが接続されている。第3のNMOSトランジ

スタMN3のソースはグランド電源配線L2に接続されている。又、第3のNMOSトランジスタMN3のゲートには、第2のインバータとしてのインバータ11の出力端子P3が接続されている。

【0025】インバータ11は、本実施形態では、PチャネルMOSトランジスタとNチャネルMOSトランジスタよりなるCMOSトランジスタで構成されていて、その入力端子は、前記ノードN1に接続されている。従って、前記第3のNMOSトランジスタMN3のゲートには、該インバータ11にて前記出力端子P2から出力される信号出力電圧VOUTを反転させた相補出力電圧が制御電圧VCTとして印加されるようになっている。

【0026】尚、本実施形態では、上記したシュミットトリガ回路を形成する全てのMOSトランジスタはエンハンスメント型のMOSトランジスタで形成されている。次に、上記のように構成されたシュミットトリガ回路の動作について説明する。

【0027】(A) 信号入力電圧VINがLレベル(VSSレベル)のとき、第1のPMOSトランジスタMP1はオン、第1のNMOSトランジスタMN1はオフ、第2のNMOSトランジスタMN2はオフしている。従って、ノードN1のノード電圧はHレベル、即ち信号出力電圧VOUTはHレベルとなり、制御電圧VCTはLレベルとなっている。又、制御電圧VCTがLレベルであることから、第3のNMOSトランジスタMN3はオフしている。

【0028】(B) 信号入力電圧VINがLレベルからHレベルに変化したとき、信号入力電圧VINがLレベルからHレベルに変化すると、第1及び第2のNMOSトランジスタMN1、MN2がオンして信号出力電圧VOUTはHレベルからLレベルに立ち下がる。この時、制御電圧VCTはLレベルからHレベルに立ち上がり、第3のNMOSトランジスタMN3はオフからオンの状態になる。

【0029】そして、信号出力電圧VOUTがHレベルからLレベルに立ち下がり始める時の信号入力電圧VINの電圧VLHは、以下ようになる。つまり、信号出力電圧VOUTがHレベルからLレベルに立ち下がるまで、第3のNMOSトランジスタMN3がオフ状態にある。従って、電圧VLHは、第3のNMOSトランジスタMN3を除く3個のMOSトランジスタMP1、MN1、MN2のオン抵抗の比で決まる。そして、この電圧VLHを信号入力電圧VINがLレベルからHレベルに変化するときの、該シュミットトリガ回路のスレッシュホールド電圧VLH1とする。

【0030】詳述すると、第1のPMOSトランジスタMP1のオン抵抗をRp1、第1のNMOSトランジスタMN1のオン抵抗をRn1、第2のNMOSトランジスタMN2のオン抵抗をRn2とすると、スレッシュホールド電圧VLH1は、
$$VLH1 = (Rn1 + Rn2) VDD / (Rp1 + Rn1 + Rn2)$$
となる。

【0031】(C) 信号入力電圧VINがHレベルのと

き、第1のPMOSトランジスタMP1はオフ、第1のNMOSトランジスタMN1はオン、第2のNMOSトランジスタMN2はオンしている。従って、ノードN1のノード電圧はLレベル、即ち信号出力電圧VOUTはLレベルとなり、制御電圧VCTはHレベルである。従って、制御電圧VCTがHレベルであることから、第3のNMOSトランジスタMN3はオン状態にある。

【0032】(D) 信号入力電圧VINがHレベルからLレベルに変化したとき、信号入力電圧VINがHレベルからLレベルに変化すると、第1のPMOSトランジスタMP1がオンして信号出力電圧VOUTはLレベルからHレベルに立ち上がる。この時、制御電圧VCTはHレベルからLレベルに立ち下がり、第3のNMOSトランジスタMN3はオンからオフの状態になる。

【0033】そして、信号出力電圧VOUTがLレベルからHレベルに立ち上がり始める時の信号入力電圧VINの電圧VHLは、以下ようになる。つまり、信号出力電圧VOUTがLレベルからHレベルに立ち上がるまで、第3のNMOSトランジスタMN3がオン状態にある。従って、電圧VHLは、第3のNMOSトランジスタMN3を含む4個の全てのMOSトランジスタMP1、MN1、MN2、MN3のオン抵抗の比で決まる。そして、この電圧VHLを信号入力電圧VINがHレベルからLレベルに変化する時の、該シュミットトリガ回路のスレッシュホールド電圧VHL1とする。

【0034】詳述すると、第1のPMOSトランジスタMP1のオン抵抗をRp1、第1のNMOSトランジスタMN1のオン抵抗をRn1、第2のNMOSトランジスタMN2のオン抵抗をRn2、及び、第3のNMOSトランジスタMN3のオン抵抗をRn3、とすると、スレッシュホールド電圧VHL1は、
$$VHL1 = (Rn1 + Rx) VDD / (Rp1 + Rn1 + Rx)$$
となる。ただし、 $Rx = Rn2 \cdot Rn3 / (Rn2 + Rn3)$ である。

【0035】次に上記のように構成した本実施形態のシュミットトリガ回路の特徴を以下に述べる。

(1) 本実施形態では、信号入力電圧VINがLレベルからHレベルに変化する時のスレッシュホールド電圧VLH1は、第3のNMOSトランジスタMN3を除く3個のMOSトランジスタMP1、MN1、MN2のオン抵抗の比で決まる。一方、信号入力電圧VINがHレベルからLレベルに変化する時のスレッシュホールド電圧VHL1は、第3のNMOSトランジスタMN3を含む4個の全てのMOSトランジスタMP1、MN1、MN2、MN3のオン抵抗の比で決まる。

【0036】つまり、
$$VLH1 = (Rn1 + Rn2) VDD / (Rp1 + Rn1 + Rn2)$$
、
$$VHL1 = (Rn1 + Rx) VDD / (Rp1 + Rn1 + Rx)$$
となる。ただし、 $Rx = Rn2 \cdot Rn3 / (Rn2 + Rn3)$ である。

【0037】そして、 $V_{LH1} > V_{HL1}$ となる。従って、該シュミットトリガ回路は、図2 (a), (b) に示すようなヒステリシス特性を得ることができる。即ち、第3のNMOSトランジスタMN3を第2のNMOSトランジスタMN2に並列に接続することにより、スレッショルド電圧 V_{HL1} をスレッショルド電圧 V_{LH1} に対してより低くしてヒステリシス特性を得ている。

【0038】(2) 本実施形態では、信号入力電圧 V_{IN} がLレベルのとき、第1のPMOSトランジスタMP1がオンしていても、第1～第3のNMOSトランジスタMN1～MN3はオフしている。従って、プラス電源配線L1からグラウンド電源配線L2に向かって流れる電流路は形成されない。

【0039】又、信号入力電圧 V_{IN} がHレベルのとき、第1～第3のNMOSトランジスタMN1～MN3がオンしていても、第1のPMOSトランジスタMP1がオフしている。従って、プラス電源配線L1からグラウンド電源配線L2に向かって流れる電流路は形成されない。

【0040】その結果、信号入力電圧 V_{IN} がHレベル又はLレベルのいずれか一方のレベルに固定されている間、無用な消費電流が流れることはなく、低消費電力化を図ることができる。

【0041】(3) 本実施形態のシュミットトリガ回路では、CMOSトランジスタよりなるインバータ11を加えただけ、即ちわずかな数の素子を追加するだけで低消費電力化を図ることができるシュミットトリガ回路をつくることができる。

【0042】(4) 本実施形態では、各MOSトランジスタMP1, MN1～MN3の各オン抵抗 R_{p1} , R_{n1} , R_{n2} , R_{n3} の大きさは、トランジスタのチャネル幅、チャネル長を適宜変更することに変更できる。従って、前記スレッショルド電圧 V_{HL1} , V_{LH1} を使用目的に応じて容易に変更することができる。

【0043】(第2実施形態) 次に、本発明を具体化した第2実施形態について図3及び図4に基づいて説明する。尚、説明の便宜上、共通の構成のものは符号を同じにしてその詳細は省略する。

【0044】図3は半導体チップ上に形成されたMOSトランジスタにて形成されたシュミットトリガ回路を示す。図3において、CMOSインバータ10は、第1のPMOSトランジスタMP1と第1のNMOSトランジスタMN1とから構成されている。両トランジスタMP1, MN1のゲートは入力端子P1に接続され、信号入力電圧 V_{IN} が印加される。又、両トランジスタMP1, MN1のドレインを結ぶノードN1には、出力端子P2が接続され、該出力端子P2から信号出力電圧 V_{OUT} が出力される。

【0045】第1のNMOSトランジスタMN1のソースは、グラウンド電源配線L2に接続されている。第1のPMOSトランジスタMP1のソースは、第2のPチャネルMOSトランジスタ (以下、第2のPMOSトランジスタ

という) MP2のドレインに接続されている。第2のPMOSトランジスタMP2のソースは、プラス電源配線L1に接続されている。又、第2のPMOSトランジスタMP2のゲートは、入力端子P1に接続され信号入力電圧 V_{IN} が印加される。

【0046】第1のPMOSトランジスタMP1のソースと第2のPMOSトランジスタMP2のドレインとの間にあるノードN3には、第3のPチャネルMOSトランジスタ (以下、第3のPMOSトランジスタという) MP3のドレインが接続されている。第3のPMOSトランジスタMP3のソースはプラス電源配線L1に接続されている。又、第3のPMOSトランジスタMP3のゲートには、インバータ11の出力端子P3に接続されている。従って、第3のPMOSトランジスタMP3のゲートには、該インバータ11にて前記出力端子P2から出力される信号出力電圧 V_{OUT} を反転させた相補出力電圧が制御電圧 V_{CT} として印加されるようになっている。

【0047】尚、本実施形態では、上記したシュミットトリガ回路を形成する全てのMOSトランジスタはエンハンスメント型のMOSトランジスタで形成されている。次に、上記のように構成されたシュミットトリガ回路の動作について説明する。

【0048】(A) 信号入力電圧 V_{IN} がLレベルのとき、第1及び第2のPMOSトランジスタMP1, MP2はオン、第1のNMOSトランジスタMN1はオフしている。従って、ノードN1のノード電圧はHレベル、即ち信号出力電圧 V_{OUT} はHレベルとなり、制御電圧 V_{CT} はLレベルとなっている。又、制御信号 V_{CT} がLレベルであることから、第3のPMOSトランジスタMP3はオンしている。

【0049】(B) 信号入力電圧 V_{IN} がLレベルからHレベルに変化したとき、信号入力電圧 V_{IN} がLレベルからHレベルに変化すると、第1のNMOSトランジスタMN1がオンして信号出力電圧 V_{OUT} はHレベルからLレベルに立ち下がる。この時、制御電圧 V_{CT} はLレベルからHレベルに立ち上がり、第3のPMOSトランジスタMP3はオンからオフの状態になる。

【0050】そして、信号出力電圧 V_{OUT} がHレベルからLレベルに立ち下がり始める時の信号入力電圧 V_{IN} の電圧 V_{LH} は、以下になる。つまり、信号出力電圧 V_{OUT} がHレベルからLレベルに立ち下がるまで、第3のPMOSトランジスタMP3がオン状態にある。従って、電圧 V_{LH} は、第3のPMOSトランジスタMP3を含む4個のMOSトランジスタMP1, MP2, MP3, MN1のオン抵抗の比で決まる。そして、この電圧 V_{LH} を信号入力電圧 V_{IN} がLレベルからHレベルに変化すると時の、該シュミットトリガ回路のスレッショルド電圧 V_{LH2} とする。

【0051】詳述すると、第1のNMOSトランジスタMN1のオン抵抗を R_{n1} 、第1のPMOSトランジスタM

P1のオン抵抗を R_{p1} 、第2のPMOSトランジスタMP2のオン抵抗を R_{p2} 、第3のPMOSトランジスタMP3のオン抵抗を R_{p3} 、とすると、スレッシュホールド電圧 V_{LH2} は、
$$V_{LH2} = (R_{n1}) V_{DD} / (R_{p1} + R_{n1} + R_y)$$
となる。ただし、 $R_y = R_{p2} \cdot R_{p3} / (R_{p2} + R_{p3})$ である。

【0052】(C) 信号入力電圧 V_{IN} がHレベルのとき、第1及び第2のPMOSトランジスタMP1、MP2はオフ、第1のNMOSトランジスタMN1はオンしている。従って、ノードN1のノード電圧はLレベル、即ち信号出力電圧 V_{OUT} はLレベルとなり、制御電圧 V_{CT} はHレベルである。従って、制御電圧 V_{CT} がHレベルであることから、第3のPMOSトランジスタMP3はオフ状態にある。

【0053】(D) 信号入力電圧 V_{IN} がHレベルからLレベルに変化したとき、信号入力電圧 V_{IN} がHレベルからLレベルに変化すると、第1及び第2のPMOSトランジスタMP1、MP2がオンして信号出力電圧 V_{OUT} はLレベルからHレベルに立ち上がる。この時、制御電圧 V_{CT} はHレベルからLレベルに立ち下がり、第3のPMOSトランジスタMP3はオフからオンの状態になる。

【0054】そして、信号出力電圧 V_{OUT} がLレベルからHレベルに立ち上がり始める時の信号入力電圧 V_{IN} の電圧 V_{HL} は、以下ようになる。つまり、信号出力電圧 V_{OUT} がLレベルからHレベルに立ち上がるまで、第3のPMOSトランジスタMP3がオフ状態にある。従って、電圧 V_{HL} は、第3のPMOSトランジスタMP3を除く3個のMOSトランジスタMP1、MP2、MN1のオン抵抗の比で決まる。そして、この電圧 V_{HL} を信号入力電圧 V_{IN} がHレベルからLレベルに変化する時の、該シュミットトリガ回路のスレッシュホールド電圧 V_{HL2} とする。

【0055】詳述すると、第1のNMOSトランジスタMN1のオン抵抗を R_{n1} 、第1のPMOSトランジスタMP1のオン抵抗を R_{p1} 、第2のPMOSトランジスタMP2のオン抵抗を R_{p2} 、とすると、スレッシュホールド電圧 V_{HL2} は、
$$V_{HL2} = (R_{n1}) V_{DD} / (R_{p1} + R_{p2} + R_{n1})$$
となる。

【0056】次に上記のように構成した本実施形態のシュミットトリガ回路の特徴を以下に述べる。

(1) 本実施形態では、信号入力電圧 V_{IN} がLレベルからHレベルに変化する時のスレッシュホールド電圧 V_{LH2} は、第3のPMOSトランジスタMP3を含む4個全てのMOSトランジスタMP1、MP2、MP3、MN1のオン抵抗の比で決まる。一方、信号入力電圧 V_{IN} がHレベルからLレベルに変化する時のスレッシュホールド電圧 V_{HL2} は、第3のPMOSトランジスタMP3を除く3個のMOSトランジスタMP1、MP2、MN1のオン抵抗の比で決まる。

【0057】つまり

$$V_{LH2} = (R_{n1}) V_{DD} / (R_{p1} + R_{n1} + R_y),$$

$$V_{HL2} = (R_{n1}) V_{DD} / (R_{p1} + R_{p2} + R_{n1})$$

となる。ただし、 $R_y = R_{p2} \cdot R_{p3} / (R_{p2} + R_{p3})$ である。

【0058】そして、 $V_{LH2} > V_{HL2}$ となる。従って、該シュミットトリガ回路は、図4(a)、(b)に示すようなヒステリシス特性を得ることができる。即ち、第3のPMOSトランジスタMP3を第2のPMOSトランジスタMP2に並列に接続することにより、スレッシュホールド電圧 V_{LH2} をスレッシュホールド電圧 V_{HL2} に対してより高くしてヒステリシス特性を得ている。

【0059】(2) 本実施形態では、信号入力電圧 V_{IN} がLレベルのとき、第1～第3のPMOSトランジスタMP1～MP3がオンしていても、第1のNMOSトランジスタMN1はオフしている。従って、プラス電源配線L1からグランド電源配線L2に向かって流れる電流路は形成されない。

【0060】又、信号入力電圧 V_{IN} がHレベルのとき、第1のNMOSトランジスタMN1がオンしても、第1～第3のPMOSトランジスタMP1～MP3がオフしている。従って、プラス電源配線L1からグランド電源配線L2に向かって流れる電流路は形成されない。

【0061】その結果、信号入力電圧 V_{IN} がHレベル又はLレベルのいずれか一方のレベルに固定されている間、無用な消費電流が流れることはなく、低消費電力化を図ることができる。

【0062】(3) 本実施形態のシュミットトリガ回路では、CMOSトランジスタよりなるインバータ11を加えただけ、即ちわずかな数の素子を追加するだけで低消費電力化を図ることができるシュミットトリガ回路をつくることができる。

【0063】(4) 本実施形態では、各MOSトランジスタMP1～MP3、MN1の各オン抵抗 R_{p1} 、 R_{p2} 、 R_{p3} 、 R_{n1} の大きさは、トランジスタのチャネル幅、チャネル長を適宜変更することに変更できる。従って、前記スレッシュホールド電圧 V_{HL2} 、 V_{LH2} を使用目的に応じて容易に変更することができる。

【0064】(第3実施形態) 次に、本発明を具体化した第3実施形態について図5及び図6に基づいて説明する。尚、本実施形態は第1実施形態と第2実施形態を合わせたもので、説明の便宜上、共通の構成のものは符号を同じにしてその詳細は省略する。

【0065】図5は半導体チップ上に形成されたMOSトランジスタにて形成されたシュミットトリガ回路を示す。図5において、CMOSインバータ10は、第1のPMOSトランジスタMP1と第1のNMOSトランジスタMN1とから構成されている。両トランジスタMP1、MN1のゲートは入力端子P1に接続され、信号入力電圧 V_{IN} が印加される。又、両トランジスタMP1、MN1のドレ

インを結ぶノードN1には、出力端子P2が接続され、該出力端子P2から信号出力電圧VOUTが出力される。第1のNMOSトランジスタMN1のソースは、第2のNMOSトランジスタMN2のドレインに接続されている。第2のNMOSトランジスタMN2のソースは、グランド電源配線L2に接続されている。又、第2のNMOSトランジスタMN2のゲートは、入力端子P1に接続され、信号入力電圧VINが印加される。

【0066】第1のNMOSトランジスタMN1のソースと第2のNMOSトランジスタMN2のドレインとの間にあるノードN2には、第3のNMOSトランジスタMN3のドレインが接続されている。第3のNMOSトランジスタMN3のソースはグランド電源配線L2に接続されている。又、第3のNMOSトランジスタMN3のゲートには、インバータ11からの制御電圧VCTが印加されるようになっている。

【0067】第1のPMOSトランジスタMP1のソースは、第2のPMOSトランジスタMP2のドレインに接続されている。第2のPMOSトランジスタMP2のソースは、プラス電源配線L1に接続されている。又、第2のPMOSトランジスタMP2のゲートは、入力端子P1に接続され、信号入力電圧VINが印加される。

【0068】第1のPMOSトランジスタMP1のソースと第2のPMOSトランジスタMP2のドレインとの間にあるノードN3には、第3のPMOSトランジスタMP3のドレインが接続されている。第3のPMOSトランジスタMP3のソースはプラス電源配線L1に接続されている。又、第3のPMOSトランジスタMP3のゲートには、インバータ11から出力される制御電圧VCTが印加されるようになっている。

【0069】次に、上記のように構成されたシュミットトリガ回路の動作について説明する。

(A) 信号入力電圧VINがLレベルのとき、第1及び第2のPMOSトランジスタMP1、MP2はオン、第1及び第2のNMOSトランジスタMN1、MN2はオフしている。従って、ノードN1のノード電圧はHレベル、即ち信号出力電圧VOUTはHレベルとなり、制御電圧VCTはLレベルとなっている。又、制御信号VCTがLレベルであることから、第3のPMOSトランジスタMP3はオンし、第3のNMOSトランジスタMN3はオフしている。

【0070】(B) 信号入力電圧VINがLレベルからHレベルに変化したとき、信号入力電圧VINがLレベルからHレベルに変化すると、第1及び第2のNMOSトランジスタMN1、MN2がオンして信号出力電圧VOUTはHレベルからLレベルに立ち下がる。この時、制御電圧VCTはLレベルからHレベルに立ち上がり、第3のPMOSトランジスタMP3はオンからオフ、第3のNMOSトランジスタMN3はオフからオンの状態になる。

【0071】そして、信号出力電圧VOUTがHレベルからLレベルに立ち下がり始める時の信号入力電圧VINの

電圧VLHは、以下ようになる。つまり、信号出力電圧VOUTがHレベルからLレベルに立ち下がるまで、第3のPMOSトランジスタMP3がオン状態にあり、第3のNMOSトランジスタMN2がオフ状態にある。従って、電圧VLHは、第3のNMOSトランジスタMN3を除く5個のMOSトランジスタMP1、MP2、MP3、MN1、MN2のオン抵抗の比で決まる。そして、この電圧VLHを信号入力電圧VINがLレベルからHレベルに変化するときの、該シュミットトリガ回路のスレッシュホールド電圧VLH3とする。詳述すると、第1のNMOSトランジスタMN1のオン抵抗をRn1、第2のNMOSトランジスタMN2のオン抵抗をRn2、第1のPMOSトランジスタMP1のオン抵抗をRp1、第2のPMOSトランジスタMP2のオン抵抗をRp2、第3のPMOSトランジスタMP3のオン抵抗をRp3、とすると、スレッシュホールド電圧VLH3は、
$$VLH3 = (Rn1 + Rn2) VDD / (Rp1 + Rn1 + Rn2 + Ry)$$

となる。ただし、 $Ry = Rp2 \cdot Rp3 / (Rp2 + Rp3)$ である。

【0072】(C) 信号入力電圧VINがHレベルのとき、第1及び第2のPMOSトランジスタMP1、MP2はオフ、第1及び第2のNMOSトランジスタMN1、MN2はオンしている。従って、ノードN1のノード電圧はLレベル、即ち信号出力電圧VOUTはLレベルとなり、制御電圧VCTはHレベルである。従って、制御電圧VCTがHレベルであることから、第3のPMOSトランジスタMP3はオフ、第3のNMOSトランジスタMN3はオン状態にある。

【0073】(D) 信号入力電圧VINがHレベルからLレベルに変化したとき、信号入力電圧VINがHレベルからLレベルに変化すると、1及び第2のPMOSトランジスタMP1、MP2がオンして信号出力電圧VOUTはLレベルからHレベルに立ち上がる。この時、制御電圧VCTはHレベルからLレベルに立ち下がり、第3のPMOSトランジスタMP3はオフからオン、第3のNMOSトランジスタMN3はオンからオフの状態になる。

【0074】そして、信号出力電圧VOUTがLレベルからHレベルに立ち上がり始める時の信号入力電圧VINの電圧VHLは、以下ようになる。つまり、信号出力電圧VOUTがLレベルからHレベルに立ち上がるまで、第3のPMOSトランジスタMP3がオフ状態にあり、第3のNMOSトランジスタMN3がオン状態にある。従って、電圧VHLは、第3のPMOSトランジスタMP3を除く5個のMOSトランジスタMP1、MP2、MN1、MN2、MN3のオン抵抗の比で決まる。そして、この電圧VHLを信号入力電圧VINがHレベルからLレベルに変化する時の、該シュミットトリガ回路のスレッシュホールド電圧VHL3とする。

【0075】詳述すると、第1のNMOSトランジスタMN1のオン抵抗をRn1、第2のNMOSトランジスタM

N2のオン抵抗を R_{n2} 、第3のNMOSトランジスタMN3のオン抵抗を R_{n3} 、第1のPMOSトランジスタMP1のオン抵抗を R_{p1} 、第2のPMOSトランジスタMP2のオン抵抗を R_{p2} 、とすると、スレッシュホールド電圧 V_{HL3} は、

$$V_{HL3} = (R_{n1} + R_x) V_{DD} / (R_{p1} + R_{p2} + R_{n1} + R_x)$$

となる。ただし、 $R_x = R_{n2} \cdot R_{n3} / (R_{n2} + R_{n3})$ である。

【0076】次に上記のように構成した本実施形態のシュミットトリガ回路の特徴を以下に述べる。

(1) 本実施形態では、信号入力電圧 V_{IN} がLレベルからHレベルに変化する時のスレッシュホールド電圧 V_{LH3} は、第3のNMOSトランジスタMN3を除く5個のMOSトランジスタMP1, MP2, MP3, MN1, MN2のオン抵抗の比で決まる。一方、信号入力電圧 V_{IN} がHレベルからLレベルに変化する時のスレッシュホールド電圧 V_{HL3} は、第3のPMOSトランジスタMP3を除く5個のMOSトランジスタMP1, MP2, MN1, MN2, MN3のオン抵抗の比で決まる。

【0077】つまり

$$V_{LH3} = (R_{n1} + R_{n2}) V_{DD} / (R_{p1} + R_{n1} + R_{n2} + R_y)$$

$$V_{HL3} = (R_{n1} + R_x) V_{DD} / (R_{p1} + R_{p2} + R_{n1} + R_x)$$

ただし、 $R_y = R_{p2} \cdot R_{p3} / (R_{p2} + R_{p3})$ 、 $R_x = R_{n2} \cdot R_{n3} / (R_{n2} + R_{n3})$ である。

【0078】そして、 $V_{LH3} > V_{HL3}$ となる。従って、該シュミットトリガ回路は、図6(a), (b)に示すようなヒステリシス特性を得ることができる。即ち、第1及び第2実施形態を合わせ持ったヒステリシス特性を得ることができる。

【0079】(2) 本実施形態では、信号入力電圧 V_{IN} がLレベルのとき、第1～第3のPMOSトランジスタMP1～MP3がオンしていても、第1～第3のNMOSトランジスタMN1～MN3はオフしている。従って、プラス電源配線L1からグラウンド電源配線L2に向かって流れる電流路は形成されない。

【0080】又、信号入力電圧 V_{IN} がHレベルのとき、第1～第3のNMOSトランジスタMN1～MN3がオンしても、第1～第3のPMOSトランジスタMP1～MP3がオフしている。従って、プラス電源配線L1からグラウンド電源配線L2に向かって流れる電流路は形成されない。

【0081】その結果、がHレベル又はLレベルのいずれか一方のレベルに固定されている間、無用な消費電流が流れることはなく、低消費電力化を図ることができる。

(3) 本実施形態のシュミットトリガ回路では、CMOSトランジスタよりなるインバータ11を加えただけ、

即ちわずかな数の素子を追加するだけで低消費電力化を図ることができるシュミットトリガ回路をつくることができる。

【0082】(4) 本実施形態では、各MOSトランジスタMP1～MP3, MN1～MN3の各オン抵抗 R_{p1} , R_{p2} , R_{p3} , R_{n1} , R_{n2} , R_{n3} の大きさは、トランジスタのチャネル幅、チャネル長を適宜変更することに変更できる。従って、前記スレッシュホールド電圧 V_{HL3} , V_{LH3} を使用目的に応じて容易に変更することができる。

【0083】尚、上記各上記各実施形態では、制御電圧 V_{CT} をインバータ11にて生成したが、信号入力電圧 V_{IN} から制御電圧 V_{CT} を専用に生成する制御電圧生成回路(例えば、2個のインバータを直列に接続した回路)から制御電圧 V_{CT} を供給するようにしてもよい。従って、インバータ11を設けないぶんだけ回路規模を小さくすることができる。特に、シュミットトリガ回路を多数備えた半導体集積回路装置においては、この制御電圧生成回路から各シュミットトリガ回路に分配供給するようすれば全体として回路規模を小さくすることができる点で非常に有利となる。

【0084】

【発明の効果】請求項1及び2に記載の発明によれば、CMOSインバータについて少ない数の素子を追加するだけでヒステリシス特性を持たせ、しかも、低消費電力化を図ることができるように該CMOSインバータを駆動させることができる。

【0085】請求項3に記載の発明によれば、シュミットトリガ回路において、回路素子数が少なくヒステリシス特性を持たせることができ、しかも、低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】 第1実施形態のシュミットトリガ回路を説明する回路図。

【図2】 (a)(b)は図1のシュミットトリガ回路の入出力特性を示す説明図。

【図3】 第2実施形態のシュミットトリガ回路を説明する回路図。

【図4】 (a)(b)は図3のシュミットトリガ回路の入出力特性を示す説明図。

【図5】 第3実施形態のシュミットトリガ回路を説明する回路図。

【図6】 (a)(b)は図5のシュミットトリガ回路の入出力特性を示す説明図。

【図7】 従来のシュミットトリガ回路を説明する回路図。

【図8】 従来のシュミットトリガ回路の入出力特性を示す説明図。

【符号の説明】

10 CMOSインバータ

11 第2のインバータとしてのインバータ

MP1 CMOSインバータを構成する第1のPチャネルMOSトランジスタ
 MP2 第2のPチャネルMOSトランジスタ
 MP3 第3のPチャネルMOSトランジスタ
 MN1 CMOSインバータを構成する第1のNチャネルMOSトランジスタ

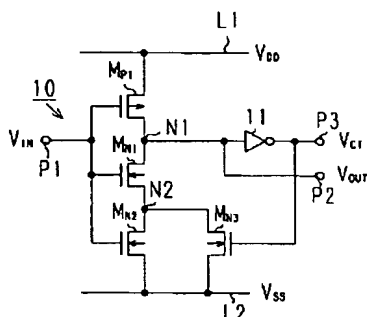
MN2 第2のNチャネルMOSトランジスタ
 MN3 第3のNチャネルMOSトランジスタ
 V_{IN} 信号入力電圧
 V_{OUT} 信号出力電圧
 V_{CT} 出力電圧としての制御電圧

【図1】

【図2】

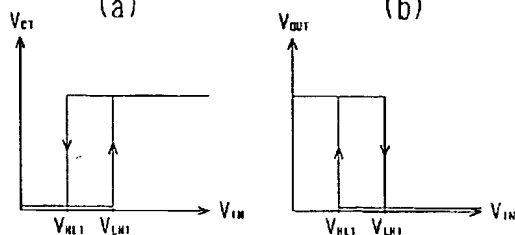
【図8】

第1実施形態のシュミットトリガ回路の回路図



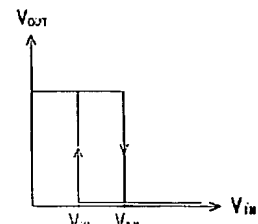
【図3】

図1のシュミットトリガ回路の入出力特性を示す説明図



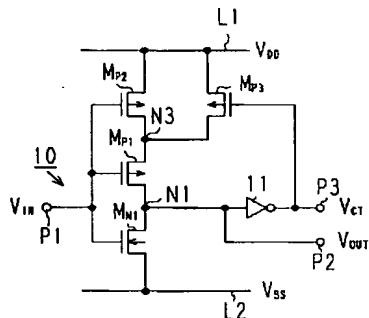
【図4】

従来のシュミットトリガ回路の入出力特性を示す説明図



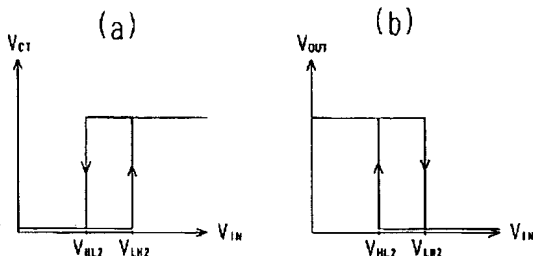
【図5】

第2実施形態のシュミットトリガ回路の回路図



【図6】

図3のシュミットトリガ回路の入出力特性を示す説明図



【図7】

第3実施形態のシュミットトリガ回路の回路図

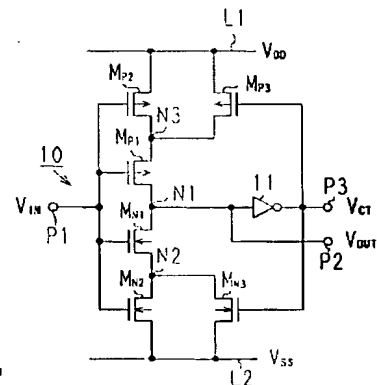
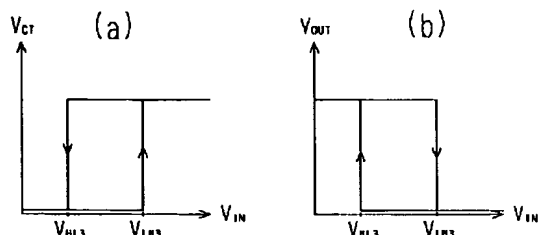
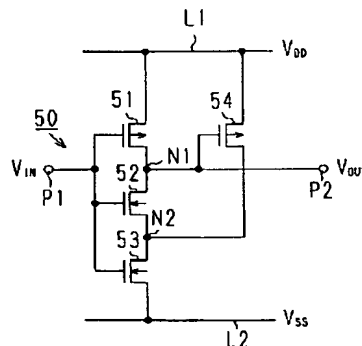


図5のシュミットトリガ回路の入出力特性を示す説明図



従来のシュミットトリガ回路の回路図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.